

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05226603 A**

(43) Date of publication of application: **03.09.93**

(51) Int. Cl. **H01L 27/108**
H01L 27/04

(21) Application number: **04047155**

(22) Date of filing: **04.03.92**

(30) Priority: **18.12.91 JP 03335113**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor:
YAMADA TAKASHI
HAMAMOTO TAKESHI
OZAKI TORU
HORIGUCHI FUMIO
NITAYAMA AKIHIRO

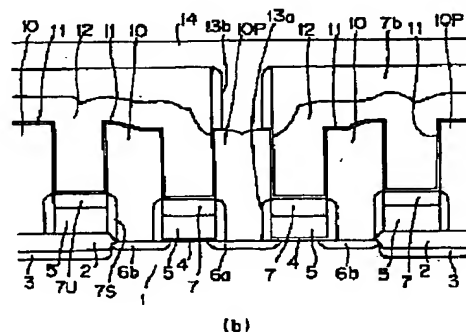
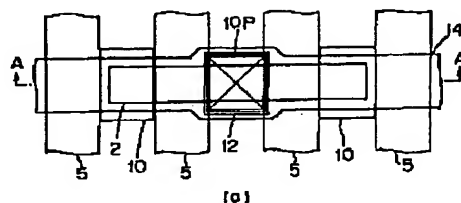
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To make it possible to prevent a punch through and to increase the capacity of a capacitor.

CONSTITUTION: Firstly, a dent for element isolation and a dent for transistor formation are formed simultaneously and the dent for transistor formation is so formed that a gate electrode 5 may be inserted into. Secondly, a pad electrode 10p constituted of a conductor layer which was formed in one and the same process as a storage node electrode 10 was formed is placed between a bit line 14 and a source and a drain region 6a and 6b, to which the bit line 14 is connected. And, thirdly, the storage node electrodes are located checkerwise.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-226603

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

27/04

C 8427-4M

8728-4M

H 0 1 L 27/ 10

3 2 5 C

審査請求 未請求 請求項の数 4 (全 19 頁)

(21)出願番号 特願平4-47155

(22)出願日 平成4年(1992)3月4日

(31)優先権主張番号 特願平3-335113

(32)優先日 平3(1991)12月18日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 敬

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72)発明者 浜本 毅司

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72)発明者 尾崎 徹

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(74)代理人 弁理士 木村 高久

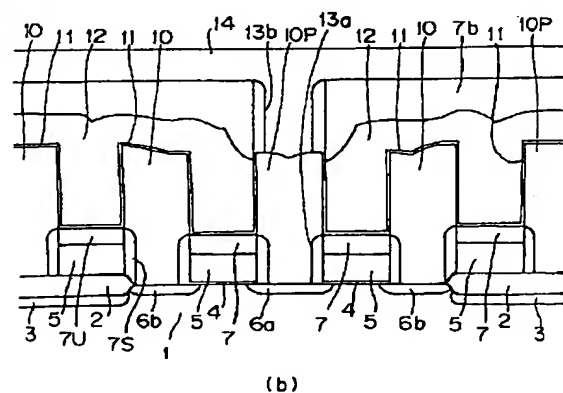
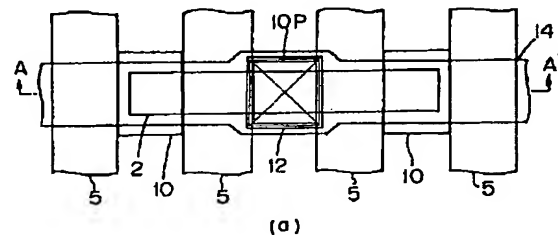
最終頁に続く

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 本発明は、パンチスルーの防止をはかるとともにキャパシタ容量の増大をはかることを目的とする。

【構成】 本発明の第1では、同時に素子分離用の窪みとトランジスタ形成用の窪みとを形成し、このトランジスタ形成用の窪みにゲート電極5を入れるように形成している。また本発明の第2では、ビット線14とこれが接続されるソースドレイン領域6a、6bとの間にストレージノード電極10と同一工程で形成された導体層からなるパッド電極10pを介在させるようにしている。本発明の第3では、ストレージノード電極を市松状に配置するようにしている。



【特許請求の範囲】

【請求項1】 半導体基板表面の素子分離形成領域とMOSFETのゲート電極形成領域にそれぞれ第1および第2の窪みを同時に形成する窪み形成工程と、前記第1の窪み内に素子分離絶縁膜を形成する素子分離工程と、前記第2の窪み内にゲート電極を形成し、チャネルがこの窪みに沿って形成されるようにMOSFETを形成するMOSFET形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板内に形成されたMOSFETと、前記MOSFETのソースまたはドレイン領域の一方に、ストレージノードコンタクトを介して接続され、ゲート電極上まで延在するように形成されたストレージノード電極とキャパシタ絶縁膜とプレート電極とからなるキャパシタとによってメモリセルを形成し、前記ソースまたはドレイン領域の他方に接続するようにビット線を形成してなる積層型の半導体記憶装置において、前記ビット線が前記キャパシタの上層に形成され、かつ前記ビット線は前記ストレージノード電極と同一工程で形成されたパッド電極を介して前記ソースまたはドレイン領域の他方に接続されていることを特徴とする半導体装置。

【請求項3】 半導体基板内に形成されたMOSFETと、前記MOSFETのソースまたはドレイン領域の一方に、ストレージノードコンタクトを介して接続されたストレージノード電極とキャパシタ絶縁膜とプレート電極とからなるキャパシタとによってメモリセルを形成し、前記ソースまたはドレイン領域の他方に接続するようにビット線を形成してなる積層型の半導体記憶装置において、前記ストレージノード電極が市松状をなすように配列されていることを特徴とする半導体装置。

【請求項4】 半導体基板内にソースおよびドレインを有するMOSFETを形成するMOSFET形成工程と、この上層に第1の層間絶縁膜を形成する第1の層間絶縁膜形成工程と、前記第1の層間絶縁膜を選択的に除去し前記MOSFETのソースおよびドレインを露呈せしめるように、ストレージノードコンタクトおよび第1のビット線コンタクトを形成する第1のコンタクト形成工程と、前記ストレージノードコンタクト領域と第1のビット線コンタクト領域にストレージノード電極およびパッド電極を形成する第1の電極形成工程と、前記ストレージノード電極上にキャパシタ絶縁膜およびプレート電極を順次積層しキャパシタを形成するキャパシタ形成工程とさらに第2の層間絶縁膜を形成する第2の層間絶縁膜形成工程と、

前記パッド電極にコンタクトするように第2のビット線コンタクトを形成する第2のコンタクト形成工程と前記第2のビット線コンタクト内に露呈する前記パッド電極に接続するようにビット線を形成するビット線形成工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置および半導体装置の製造方法に係り、特に半導体記憶装置(DRAM)等におけるMOSFETおよびキャパシタに関する。

【0002】

【従来の技術】DRAMなどの半導体集積回路は、微細加工技術の進歩により、集積化の一途を辿り、これに伴い、素子分離領域幅もMOSFETも情報(電荷)を蓄積するキャパシタの面積も微細化が進められている。

【0003】このなかで例えばMOSFETの場合、以下に示すように微細化を阻む2つの要因がある。1つはMOSFETのゲート長の微細化と素子分離領域幅の微細化である。MOSFETを微細化していくと、短チャネル効果により特性が不安定になり、またソースドレイン間でパンチスルーを生じ易く、耐圧が低くなる。このことがMOSFETの微細化を阻む大きな原因となっていた。また、一般に用いられているLOCOS法による素子分離幅あるいはトランジスタの場合と同様に分離しなければならない拡散層同士のパンチスルーなどにより微細化が困難となっている。この両方の問題を解決するためには、例えば素子分離をトレンチ分離にしてさらにトランジスタを凹部に形成するコンケイブ型トランジスタにするというような大きなプロセスおよび構造の変更が必要となる。また、トレンチ分離やコンケイブ型トランジスタには、ストレスや基板エッチングに伴うダメージや欠陥による接合リークの増大等の問題があった。

【0004】また、キャパシタ面積の微細化に伴い、キャパシタ容量が減少し、この結果メモリ内容が誤って読み出されたり、あるいは α 線等によりメモリ内容が破壊されるソフトエラーなどが問題になっている。

【0005】このような問題を解決し、高集積化、大容量化をはかるための方法の1つとして、MOSキャパシタをメモリセル領域上に積層し、該キャパシタの1電極と、半導体基板上に形成されたスイッチングトランジスタの1電極とを導通させるようにすることにより、実質的にキャパシタの占有面積を拡大し、MOSキャパシタの静電容量を増大させるようにした積層型メモリセルと呼ばれるメモリセル構造が提案されている。

【0006】このような構造では、ストレージノード電極を素子分離領域の上まで拡大することができ、また、ストレージノード電極の膜厚を厚くしてその側壁をキャパシタとして利用できることから、キャパシタ容量をプレーナ構造の数倍以上に高めることができる。また、さ

らにストレージノード部の拡散層は、ストレージノード電極下の拡散層領域だけとなり、 α 線により発生した電荷を収集する拡散層の面積が極めて小さく、ソフトエラーに強いセル構造となっている。

【0007】しかしながら、このような積層型メモリセル構造のDRAMにおいても、高集積化に伴う素子の微細化が進むにつれて、メモリセル占有面積が縮小化され、ストレージノード電極の平坦部の面積がますます縮小化し、十分なキャパシタ容量を確保するために、ストレージノード電極の実効的な高さを高くすることが要求される。このために、この後に形成するビット線コンタクトを深く形成しなければならず、コンタクトの形成が困難であった。

【0008】

【発明が解決しようとする課題】このように従来のMOSFETの微細化に際しては、MOSFETのソースドレイン間のパンチスルーおよび素子分離におけるパンチスルー等により微細化が困難であるという問題があった。

【0009】また、前述したように、積層型メモリセル構造のDRAMにおいても、高集積化に伴う素子の微細化がさらに進むと、ストレージノード電極の厚さを大きくしなければならないことから、この後に形成するビット線コンタクトを深く形成しなければならず、オーバーエッチングにより下層配線とのショートが起きやすくなったり、コンタクト自体は形成できても、何等かの埋め込み技術を用いないと配線材料の段切れが起きやすいという問題があった。

【0010】本発明は、前記実情に鑑みてなされたもので、微細化に際しても信頼性の高い半導体装置を提供するとともに、メモリセル占有面積のさらなる縮小化に際しても、十分なキャパシタ容量を確保することのできるメモリセル構造を提供することを目的とする。

【0011】

【課題を解決するための手段】そこで本発明の第1の方法では、半導体基板表面の素子分離形成領域とMOSFETのゲート電極形成領域にそれぞれ第1および第2の窪みを同時に形成し、この第1の窪み内に素子分離絶縁膜を形成するとともに第2の窪み内にゲート電極を形成し、チャンネルがこの窪みに沿って形成されるようにMOSFETを形成している。

【0012】さらに本発明の第2では、ビット線とこれが接続されるソースドレイン領域との間にストレージノード電極と同一工程で形成された導体層からなるパッド電極を介在させるようにしている。

【0013】本発明の第3では、ストレージノード電極を市松状に配列している。

【0014】また本発明の第4では、第1の層間絶縁膜に、ストレージノードコンタクトおよび第1のビット線コンタクトを形成し、ストレージノードコンタクト領域

と第1のビット線コンタクト領域にストレージノード電極およびパッド電極を形成しこのストレージノード電極上にキャパシタ絶縁膜およびプレート電極を順次積層しキャパシタを形成したのち、さらに第2の層間絶縁膜を形成してパッド電極にコンタクトするように第2のビット線コンタクトを形成し、この2のビット線コンタクト内にビット線を形成するようにしている。

【0015】

【作用】上記第1によれば、同時に素子分離用の窪みとトランジスタ形成用の窪みとを形成し、このトランジスタ形成用の窪みにゲート電極を入れるように形成しているため、実効的チャンネル長を従来に比べて大きくとることができ、パンチスルー耐圧が向上するとともに微細化が可能となる。また、ゲート電極全体を窪みの中に入れてしまえばゲート電極の高さも低くすることができ、後工程において段差の低減をはかることができ加工が容易となる。また、素子分離についても同様に拡散層同士の実効距離を大きくすることができるため、パンチスルー耐圧が向上し、微細化をはかることができる。さらに、素子分離自体の段差を低減することができ後工程の加工が容易となる。

【0016】また第2および第4によれば、ストレージノード電極と同一層でビット線コンタクト領域にパッド電極を形成するようにしているため、キャパシタを高くしても同時にパッド電極の高さも高く形成することができる。従って、キャパシタを高くしても、ビット線コンタクトはキャパシタと同程度まで棚上げされたパッド電極の上に形成すればよいから、ビット線コンタクトの形成が容易となる。またこのパッド電極はビット線のみならず周辺回路部でも用いることができ、これにより周辺回路のコンタクトもキャパシタと同程度まで棚上げされたパッド電極の上に形成すればよいから、コンタクトの形成が容易となる。

【0017】本発明の第3によれば、ストレージノード電極を市松状に配置しパターン同志の距離をデザインルール以下に近付けることによってストレージノード電極のパターンサイズを大きくしているため、キャパシタ容量を増大することができ、動作マージンが上がると共に、キャパシタの段差を低減することができ、形成が容易となる。

【0018】

【実施例】以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0019】実施例1

図1は、本発明の第1の実施例を説明するためのMOSFET集積回路の平面パターンおよびそのA-A断面図である。

【0020】このMOSFET集積回路は、p型シリコン基板1の素子分離領域に相当する領域およびゲート領域に相当する領域に、それぞれ窪みR1、R2を形成

10

20

30

40

50

し、拡散層間の実効的距離を大きくすることによりパンチスルー耐圧を向上するようにしたことを特徴とする。

【0021】他は通常のMOSFET集積回路と同様に形成されており、窪みR1に形成された素子分離絶縁膜2で囲まれた領域に、さらに窪みR2を形成し、この窪み領域R2の表面にゲート絶縁膜4を介してゲート電極5を形成し、ソースドレイン領域6を形成したものである。ここで7は層間絶縁膜、8はコンタクトホール、9はソースドレイン電極配線である。

【0022】次にこのMOSFET集積回路の製造方法について説明する。

【0023】まず図2(a) および(b) に示すように、P型シリコン基板1表面に素子分離領域およびゲート電極形成領域以外にレジストあるいは薄い熱酸化膜をウェットエッチングで形成したマスクM1を形成し、CDE(ケミカルドライエッチング)法により深さ0.1 μ m~0.2 μ mの窪みR1、R2を形成する。

【0024】そして図3(a) および(b) に示すようにさらに窒化シリコン膜からなるマスクM2を形成し通常のLOCOS法により、膜厚0.1 μ m~0.2 μ mの酸化シリコン層からなる素子分離絶縁膜2を形成する。

【0025】そして、図4(a) および(b) に示すように熱酸化法により膜厚10nmの酸化シリコン層および膜厚300nmの多結晶シリコン層を形成し、フォトリソ法および反応性イオンエッチング法によってこれらをパターニングし、ゲート絶縁膜4およびゲート電極5を形成する。そして、このゲート電極5をマスクとしてAsイオンをイオン注入し、n型拡散層6からなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。その後、LPCVD法等により全面にBPSG膜からなる層間絶縁膜7を形成する。

【0026】そしてさらに、フォトリソグラフィと反応性イオンエッチングによりコンタクトホール8を形成し、ソースドレイン領域となるn型拡散層6を露呈せしめ、アルミニウムなどの電極配線9を形成して図1に示したようなMOSFET集積回路が形成される。

【0027】かかる構成によれば、窪みに形成された素子分離絶縁膜2は窪みの深さだけ下に沈むことになり、エッチング深さとこの膜厚とを調整することによりほとんど平坦な素子分離領域を得ることができる。実施例に示した例えばエッチング量を0.1 μ m~0.2 μ mにして膜厚も0.1 μ m~0.2 μ m程度にするとエッチング量も酸化量が少なくストレスもなく欠陥等の問題もない。

【0028】なお、このときの素子分離絶縁膜形成用のパターンと窪み形成用マスクのパターンとの位置関係は重なってさえすればどのように変更してもよい。

【0029】なお、必要ならば、閾値制御のための種々のチャネルイオン注入3等を行ってゲート絶縁膜4を形成したのち、ゲート電極5を形成するようにしてもよ

い。また、前記実施例では、シングルソースのトランジスタを用いたが、何であってもよく、LDD構造を用いても同様の効果を得ることができる。

【0030】また、前記実施例では窪み形成にCDEを用いているためRIEなどを用いた場合に比べ基板のダメージを防ぐことができる。

【0031】また、CDEを用いて窪みを形成した場合窪み下は平坦になるため、図5に示すようにゲート電極5が窪みにすべておちた形になると実効チャネル長の増大効果はほとんど期待できなくなる。またCDEを用いて形成した場合、窪みのエッジの曲率が大きいいため窪み形成後の酸化工程等でストレスが集中しやすいという問題もある。

【0032】そこで本発明の第2の実施例として図6に示すように窪みが滑らかな曲線プロファイルをもつようにするとなおよい。以下に、この例を説明する。

【0033】まず、図7(a) および(b) に示すように素子分離領域とゲート電極形成領域の両方に選択酸化を行い酸化シリコン膜12を形成する。図7(a)は選択酸化のためのマスクM1を示す図である。このときバースピークが形成されるため酸化膜の厚さはエッジにいくほど薄く形成される。また、この酸化領域の幅が1 μ m以下と小さい場合は酸化膜の膜厚は酸化領域の中心で最も厚くなりエッジにいくに従って次第に薄くなる。

【0034】この後この酸化シリコン膜12をフッ化アンモニウム液等でエッチング除去すると滑らかな曲線プロファイルが形成されることになる。この後第1の実施例と同様に図8(a) および(b) に示すようにさらに窒化シリコン膜からなるマスクM2を形成し通常のLOCOS法により、例えば膜厚0.1 μ m~0.3 μ mの酸化シリコン層からなる素子分離絶縁膜2を形成する。

【0035】そして、図9(a) および(b) に示すように熱酸化法により膜厚10nmの酸化シリコン層および膜厚300nmの多結晶シリコン層を形成し、フォトリソ法および反応性イオンエッチング法によってこれらをパターニングし、ゲート絶縁膜4およびゲート電極5を形成する。そして、このゲート電極5をマスクとしてAsイオンをイオン注入し、n型拡散層6からなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。その後、LPCVD法等により全面にBPSG膜からなる層間絶縁膜7を形成する。

【0036】このようにして図6(a) および(b) に示したように滑らかな曲率の窪みを形成することができ、ストレスや電界集中を低減しさらなる信頼性の向上をはかることができる。

【0037】なおこの例では、すべてLOCOSを用いて酸化シリコン膜を形成しこれをエッチング除去して窪みを形成したが、小さな素子分離領域やトランジスタ領域に対してのみこのような窪みを形成し、大きな素子分離領域は新たに形成するようにしてもよい。

【0038】なお、集積回路を形成する場合には素子分離やトランジスタのサイズも大小さまざまなものが混在している事が多いが、大きなサイズのものには窪みを形成せず、小さなものだけに窪みを形成するようにしてもよい。

【0039】次に本発明の第3の実施例について説明する。

【0040】この例では図10に示すように、トランジスタのゲート電極を酸化シリコン膜7sで覆い、トランジスタ分離を行うようにしたものである。

【0041】すなわち素子分離領域に相当する領域にも窪み内にトランジスタが形成され、このトランジスタはゲート電極5が側壁残しによって形成された酸化シリコン膜7sと上部の酸化シリコン膜7uとで覆われたことを特徴とする。

【0042】他の部分においては実施例1および2と同様に形成する。

【0043】かかる構成によれば素子分離とトランジスタとが同様に形成される。すなわち例えば0.3 μ mのゲート長のトランジスタと0.3 μ m程度のゲート長の素子分離トランジスタとが同時に実現される。

【0044】なお、素子分離領域上のトランジスタ分離のゲート電極上や側面の絶縁膜は酸化シリコン膜に限定されることなく、窒化シリコン膜等適宜変更可能である。

実施例4

図11(a)および(b)は、本発明の第4の実施例の積層形メモリアル構造のDRAMのビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図である。

【0045】このDRAMは、キャパシタをビット線14の下に形成した構造において、ストレージノード電極10の形成と同時にビット線用のパッド電極10Pを形成しておき、ビット線コンタクトの実質的深さを浅くするようにしたことを特徴とするものである。

【0046】すなわち、比抵抗5 $\Omega \cdot \text{cm}$ 程度のp型のシリコン基板1内に形成された素子分離絶縁膜2によって分離された活性化領域内に、ソース・ドレイン領域を構成するn-型拡散層6a、6bと、これらソース・ドレイン領域間にゲート絶縁膜4を介して形成されたゲート電極5とによってMOSFETを構成すると共に、ストレージノードコンタクト8を介してこのn-型拡散層6bにコンタクトするようにストレージノード電極10が形成され、上層のプレート電極12との間にキャパシタ絶縁膜11を介在せしめることによりキャパシタを形成している。そしてストレージノードコンタクト8の形成と同時に形成された第1のビット線コンタクト13a内に露呈するn-型拡散層6aにコンタクトするようにパッド電極10Pが形成されさらに層間絶縁膜7bに形成された2のビット線コンタクト13bを介してビット線14が形成されている。

【0047】そしてゲート電極5はメモリアレイの一方方向に連続的に配列されてワード線を構成している。

【0048】次に、このDRAMの製造方法について図面を参照しつつ説明する。

【0049】図12乃至図14はこのDRAMの製造工程を示す図であり、各図において(a)および(b)はそれぞれビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図である。

【0050】まず、図12(a)および(b)に示すように、比抵抗5 $\Omega \cdot \text{cm}$ 程度のp型のシリコン基板1の表面に、通常のLOCOS法により素子分離絶縁膜2およびパンチスルーストップ用のp-型拡散層3を形成した後、熱酸化法により膜厚10nm程度の酸化シリコン膜からなるゲート絶縁膜4を形成する。この後、ゲート電極材料としての多結晶シリコン膜を全面に150nm程度堆積し、さらにこの上層にLPCVD法により酸化シリコン膜等の絶縁膜を膜厚100~300nm程度堆積し、フォトリソ技術および異方性エッチング技術を用いてゲート電極5およびゲート上の絶縁膜7uを同時にパターニングする。なお、ここでゲート電極上の絶縁膜として、窒化シリコン膜あるいは窒化シリコン膜と酸化シリコン膜の複合膜を用いても良い。窒化シリコン膜は、酸化シリコン膜に比べ、コンタクト形成および配線形成時に行われる希HF溶液を用いた処理に対し強い耐エッチング性をもつためゲート電極とコンタクトの配線のショート防止に対してより有効となる。そして、このゲート電極5をマスクとしてAsあるいはPイオンをイオン注入し、n-型拡散層からなるソース・ドレイン領域6a、6bを形成し、スイッチングトランジスタとしてのMOSFETを形成する。この拡散層の深さは、例えば150nm程度とする。この後、ゲート絶縁膜の耐圧を向上させるために必要であれば熱酸化を行い、さらにCVD法により、膜厚100nm程度以下の酸化シリコン層あるいは窒化シリコン層からなる絶縁膜を全面に堆積し、反応性イオンエッチング法により、全面をエッチングし、ゲート電極5の側面に自己整合的に側壁絶縁膜7sを残置せしめる。側壁絶縁膜7sとしては、ゲート上絶縁膜と同様、窒化シリコン膜を用いることにより、より耐圧の向上をはかることができる。

【0051】この後、図13(a)および(b)に示すように、この側壁絶縁膜7sおよび上部絶縁膜7uから露呈するn-型拡散層6aおよび6b表面をそれぞれストレージノードコンタクト8および第1のビット線コンタクト13aを形成する。そしてこれらn-型拡散層6aおよび6b表面が露呈した状態で、全面に多結晶シリコン膜を100~400nm程度堆積し、これにリンまたはヒ素をドーピングし、フォトリソグラフィと反応性イオンエッチングによりパターン形成してストレージノード電極10およびパッド電極10Pを形成する。そしてCVD法により膜厚10nm程度以下の窒化シリコン膜堆積した後

800~900℃の水蒸気雰囲気中で30分程度酸化し、酸化シリコン膜を形成し、窒化シリコン膜と酸化シリコン膜との2層構造のキャパシタ絶縁膜11を形成する。さらにこの上層に多結晶シリコン膜を堆積し、ドーピングを行った後、フォトリソグラフィ技術および反応性イオンエッチング技術によりプレート電極12をパターンニングする。ここでRはプレート電極のパターンニング用のレジストである。そして、レジストRを除去し、この上層に酸化シリコン膜からなる層間絶縁膜7bを堆積する。

【0052】この後、図14図(a)および(b)に示すように、パッド電極10Pにコンタクトするように第2のビット線コンタクト13bを形成し必要に応じてビット線とプレート電極とのショートを防止するための酸化シリコン膜15を堆積する。

【0053】そしてこの酸化シリコン膜15にさらにコンタクトを開口あるいは全面RIEによりコンタクト13bの側壁に酸化シリコン膜15を残すようにしてからビット線14を形成して、図11(a)および図11(b)に示したような、DRAMが完成する。

【0054】なお、ショート防止用として酸化シリコン膜15の代わりに窒化シリコン膜等を用いるようにしてもよい。

【0055】このように形成することによりパッド電極10Pによってストレージノード電極10の高さまで細上げがなされているため、ビット線コンタクトの形成が極めて容易となる。

【0056】実施例5

次に本発明の第5の実施例について説明するこの例では、主たる構成は前記第4の実施例と同様であるが、図15に示すように、キャパシタ面積の増大のためにストレージノード電極を平坦部10と突出部9で構成するとともに、パッド電極も平坦部10Pと突出部9Pとで構成したことを特徴とするもので、ビット線コンタクトはこの突出部9Pにコンタクトするように形成されている。

【0057】次にこのDRAMの製造方法について説明する。

【0058】まず、前記第4の実施例と同様に素子分離を行うとともにゲート電極を形成しストレージノード電極の平坦部とパッド電極の平坦部を形成するために100nm程度の多結晶シリコン膜10を全面に堆積しさらに700nm厚さ程度の酸化シリコン膜17をCVD法で堆積した後、ストレージノード電極とパッド電極の形成される領域に酸化シリコン膜17を残すようにする。このとき多結晶シリコン膜10をエッチングストップとし異方性エッチングによって酸化シリコン膜をパターンニングする。そしてさらに突出部となる多結晶シリコン膜9を膜厚100nm程度堆積する(図16(a)および(b))。

【0059】次いで、異方性エッチングにより両多結晶

シリコンをエッチングし、前記酸化シリコン膜17の底部および側壁部のみに多結晶シリコン膜9が残るようにする(図17(a)および(b))。

【0060】次に、フッ化アンモニウム溶液等により、酸化シリコン膜17を除去しストレージノード電極およびパッド電極を完成させる。

【0061】この後キャパシタ絶縁膜11およびプレート電極12を形成し、さらに層間絶縁膜7を形成してビット線コンタクト13bを形成する。このとき、プレート電極としての多結晶シリコンがエッチングストップとして作用する(図18(a)および(b))。

【0062】この後パッド電極の突出部が露呈するまでプレート電極12をCDE法でエッチングする。このときキャパシタ絶縁膜としての窒化シリコン膜と酸化シリコン膜とがCDE法のエッチングストップとして作用し、突出部の先端はエッチングされずに突出したまま残る。

【0063】そして表面酸化を行いプレート電極表面に酸化シリコン膜18を形成する。このとき突出部はキャパシタ絶縁膜で覆われているため酸化されない。従って突出部表面の薄いキャパシタ絶縁膜をエッチング除去することにより多結晶シリコン膜を露呈させることができる。この後ビット線を形成し図15に示したDRAMが完成する。

【0064】本実施例では、ビット線コンタクト13b下のプレート電極をストップとしたが、実施例4と同様に、あらかじめパターンニング除去しておいて、直接ビット線コンタクトをパッドに形成するようにしてもよい。

【0065】このようにしてビット線コンタクトの形成も極めて容易にキャパシタ容量の大きいDRAMが形成される。

【0066】実施例6

次に本発明の第6の実施例について説明する。

【0067】この例では、図19に示すように、ストレージノード電極10を箱型に形成し、この内部にもキャパシタ絶縁膜11を形成し内面をもキャパシタとして用いるようにしている。そしてビット線コンタクトはストレージノード電極と同一工程で形成された箱の蓋部にコンタクトするように形成される。

【0068】次にこのDRAMの製造方法について説明する。

【0069】まず、前記第4および5の実施例と同様に素子分離を行うとともにゲート電極を形成しストレージノード電極の平坦部とパッド電極の平坦部を形成するために100nm程度の多結晶シリコン膜10を全面に堆積しさらに700nm厚さ程度の酸化シリコン膜27をCVD法で堆積した後、さらに箱の上面となる多結晶シリコン膜20を堆積し、この後多結晶シリコン膜50と酸化シリコン膜27とをパターンニングする(図20(a)及び(b))。

10

20

30

40

50

【0070】この後箱の側面を形成するために多結晶シリコン膜30を堆積し異方性エッチングにより側壁残しを行うと共に最下部の多結晶シリコン膜をもパターニングする(図21(a)及び(b))。

【0071】そしてさらに図22(a)及び(b)に示すように、フォトリソグラフィおよびドライエッチングによりキャパシタの箱内の酸化シリコン膜27を除去するための穴を開く。この例では、穴は1つ1つのキャパシタごとに形成するのではなく2つのキャパシタで1つとしている。この方がリソグラフィ技術が容易である。

【0072】そしてフッ化アンモニウムを用いたエッチングによりキャパシタ内の酸化シリコン膜27を選択的に除去し、キャパシタ絶縁膜11およびプレート電極12を形成する(図23(a)及び(b))。

【0073】そして前記第5の実施例と同様にビット線コンタクト13を形成しビット線14を形成する。このとき、ビット線14は、箱型のストレージノード電極の蓋部と同一工程で形成された多結晶シリコン膜20にコンタクトすれば良いためビット線コンタクトの深さは層間絶縁膜7b1層分だけである。

【0074】このようにして、ビット線コンタクトの形成が極めて容易でキャパシタ容量の大きいDRAMが形成される。

【0075】本実施例においても、実施例4と同様にビット線コンタクト下のプレートはあらかじめ除去しておくようにしても良い。

【0076】実施例4～6については、いずれもパッドとプレート電極との間はキャパシタ絶縁膜のみで絶縁された状態となっており両者の耐圧が心配な形である。また、この場合両者間の容量も増大するためDRAMの動作にとって好ましくない。そこで個々の構造について改良例も考えられている。

【0077】そこで例えば実施例4の構造の場合は、プレート電極となる多結晶シリコン膜を薄膜化して、ストレージノードあるいはパッドの間に埋まってしまうように堆積することである。そしてプレート電極12のパターニングを行う際に、エッチングを増やしていくようにすれば、パッドの周りのプレート電極を下方へエッチング除去することができる(図24)。

【0078】このときプレート電極となる多結晶シリコン膜が厚く形成されて、ストレージノードあるいはパッドの間に埋まってしまった場合、エッチング時間を長くすると横方向へのエッチングが進むため隣接するストレージノードが露出してしまうことになり、また短絡のおそれが出てしまう。このため十分にエッチング量を増大することができないという問題が生じる。

【0079】このように図24に示すようにパッドのまわりのプレート電極を除去した後、図25に示すようにコンタクトをパッド上に形成する。

【0080】また、前記実施例では、ストレージノード

電極と同一工程で形成したパッド電極をビット線コンタクトに用いる例についてのみ説明したが、このようにパッド電極を用いることにより周辺のコンタクトの形成に際してもコンタクト深さが浅くて済む。以下、この例について説明する。

【0081】図26はビット線先作り型の例であり、ストレージノード電極の形成と同時に、周辺コンタクト部にもストレージノード電極と同一工程でパッド電極10Pを形成しておくようにし、この上に周辺コンタクトHを形成するようにすればコンタクトの深さが浅くて済みアルミニウム等の配線層19の形成も容易となる。

【0082】さらに図27はビット線後作りの例であり、ストレージノード電極の形成と同時に、周辺コンタクト部にもストレージノード電極と同一工程でパッド電極10Pを形成しておくようにし、さらにビット線の形成に際しても周辺コンタクト部にもビット線と同一工程でパッド電極10bを形成しておくようにし、この上に周辺コンタクトHを形成するようにすればコンタクトの深さが浅くて済みアルミニウム等の配線層19の形成も容易となる。

【0083】この場合ストレージノード電極層およびビット線層と同一の層で周辺コンタクト部も埋めているため、プレート電極の段差分のみの深さのコンタクトを形成すれば良く、コンタクトの形成および配線の形成が容易となる。

【0084】実施例7

次にストレージノード電極を市松状に配置した例について説明する。

【0085】図28、図29(a)乃至(c)は、本発明の第7の実施例の積層形メモリセル構造のDRAMのビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図、B-B'断面図、C-C'断面図である。

【0086】このDRAMは、キャパシタのストレージノード電極10を市松状に配列したことを特徴とするもので、他部については通常の積層型メモリセル構造のDRAMと全く同様に形成される。同一箇所には同一符号を付した。

【0087】ストレージノード電極のパターン形成に際しては、例えばポジ型レジストを使用し図30(a)に説明図を示すような遮光パターンPを用いると、光の回り込みのために遮光パターンPの角部まで露光され、実際には図30(b)に示すように角が点線に示すように丸まった形状になり、パターン同士は接触しないようになる。

【0088】このようにして、背中合わせのストレージノード電極間の距離がデザインルール以下に低減されており、ストレージノード電極のパターンサイズを大きくすることができるため、キャパシタ容量を増大することができ、動作マージンが上がると共に、キャパシタの段差を低減することができ、形成が容易となる。

【0089】実施例8

次にキャパシタをビット線14の下に形成し、ストレージノード電極10の形成と同時にビット線用のパッド電極10Pを形成しておき、ビット線コンタクトの実質的深さを浅くするようにした構造において、ストレージノード電極を市松状に配置した例について説明する。

【0090】図31、図32(a)乃至(c)は、本発明の第8の実施例の積層形メモリセル構造のDRAMのビット線方向に隣接する2ビット分を示す平面図、そのA-A'断面図、B-B'断面図、C-C'断面図である。

【0091】このDRAMは、キャパシタをビット線14の下に形成した構造において、ストレージノード電極10の形成と同時にビット線用のパッド電極10Pを形成しておき、ビット線コンタクト(第2のビット線コンタクト13b)の実質的深さを浅くするとともに、キャパシタのストレージノード電極10を市松状に配列したことを特徴とするもので、他部については通常の積層型メモリセル構造のDRAMと全く同様に形成される。同一箇所には同一符号を付した。

【0092】この構造ではストレージノード電極をビット線コンタクト方向へも広げることができる。

【0093】但し、ビット線コンタクト下のパッド10Pはワード線方向に交互にずれるため、第2のビット線コンタクト13bは半分パッドからはずれることになる。しかしながらこれは、パッドの側壁でもコンタクトを形成することになり、パッドを厚くしエッチングを深くすることにより、この部分の面積を広げることができコンタクト抵抗を低減することができる。

【0094】また、ビット線を斜めに配線したり、途中でずらしたりしてパッド上にコンタクトできるようにしてもよい。

【0095】なお、本発明ではストレージノード電極を市松状にすることが重要であり、ストレージノードコンタクトは必ずしも市松状にする必要はなく、適宜変形可能である。また、市松状のパターン同志はわずかに間隙を設けても良い。このように間隙を設けることにより、市松パターン同志のショートに対するマージンを上げることができる。

【0096】またオープンビットライン方式に限定されるものでもなく図33に示すようにスイッチングトランジスタとキャパシタとをカスケード接続したものも有効である。

【0097】

【発明の効果】以上説明してきたように、本発明の半導体装置によれば、微細化に際してもパンチスルーもなく信頼性の高い半導体装置を得ることができる。

【0098】また、本発明の半導体装置によれば、製造が容易でかつ、メモリセル占有面積のさらなる縮小化に際しても、十分なキャパシタ容量を確保することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のMOSFET集積回路を示す図

【図2】同MOSFET集積回路の製造工程図

【図3】同MOSFET集積回路の製造工程図

【図4】本発明の第1の実施例のMOSFET集積回路の変形例を示す図

【図5】MOSFET集積回路の望ましくない例を示す図

【図6】本発明の第3の実施例のMOSFET集積回路を示す図

【図7】同MOSFET集積回路の製造工程図

【図8】同MOSFET集積回路の製造工程図

【図9】同MOSFET集積回路の製造工程図

【図10】本発明の第4の実施例のMOSFET集積回路を示す図

【図11】本発明の第4の実施例の積層形メモリセル構造のDRAMを示す図

【図12】同DRAMの製造工程図

【図13】同DRAMの製造工程図

【図14】同DRAMの製造工程図

【図15】本発明の第5の実施例の積層形メモリセル構造のDRAMを示す図

【図16】同DRAMの製造工程図

【図17】同DRAMの製造工程図

【図18】同DRAMの製造工程図

【図19】本発明の第6の実施例の積層形メモリセル構造のDRAMを示す図

【図20】同DRAMの製造工程図

【図21】同DRAMの製造工程図

【図22】同DRAMの製造工程図

【図23】同DRAMの製造工程図

【図24】本発明の他の実施例のDRAMの製造工程図

【図25】同DRAMの製造工程図

【図26】本発明の他の実施例のDRAMを示す図

【図27】本発明の他の実施例のDRAMを示す図

【図28】本発明の他の実施例のDRAMを示す図

【図29】同DRAMの断面図

【図30】同DRAMの製造工程の説明図

【図31】本発明の他の実施例のDRAMを示す図

【図32】同DRAMの断面図

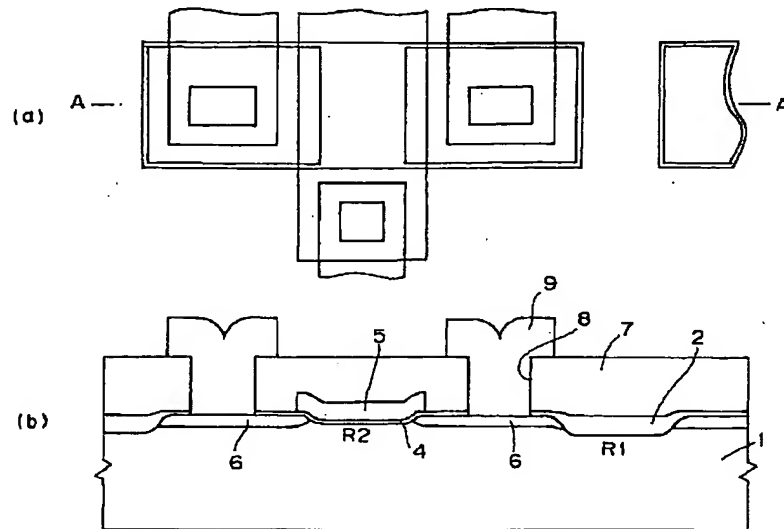
【図33】本発明の他の実施例のDRAMを示す図

【符号の説明】

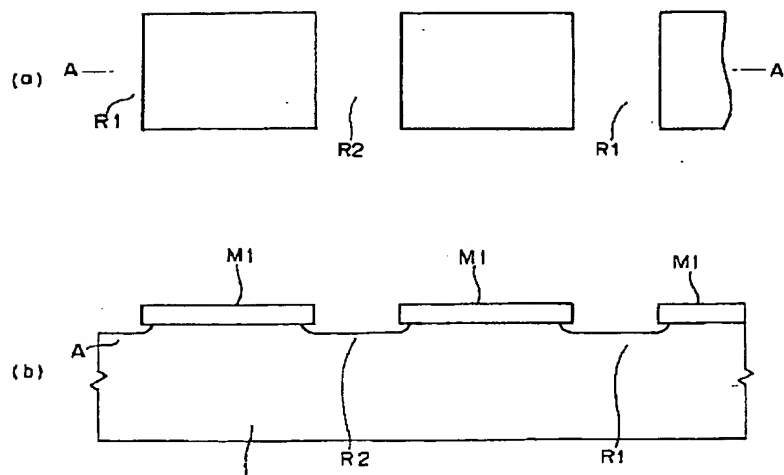
- 1 p型のシリコン基板
- 2 素子分離絶縁膜
- 3 チャネルストッパ
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 ソース・ドレイン領域
- 7 絶縁膜

- 15
8 ストレージノードコンタクト
9 突出部 (多結晶シリコン膜)
10 ストレージノード電極 (多結晶シリコン膜)
10P パッド電極
11 キャパシタ絶縁膜
12 プレート電極電極
- 16
* 13 ビット線コンタクト
13b 第2のビット線コンタクト
14 ビット線
20 多結晶シリコン膜
27 酸化シリコン膜
* 30 多結晶シリコン膜

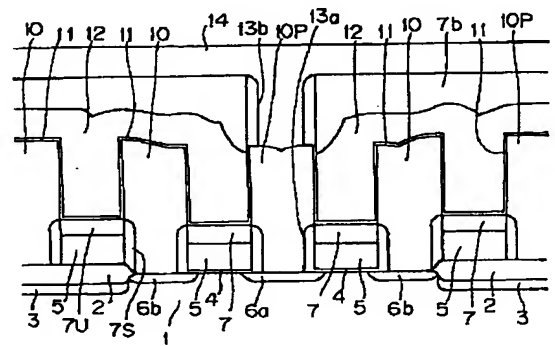
【図1】



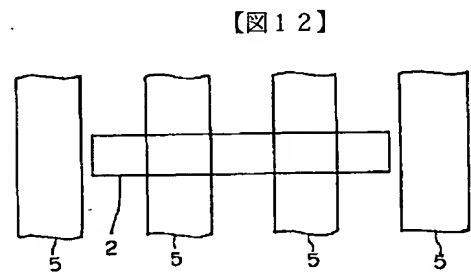
【図2】



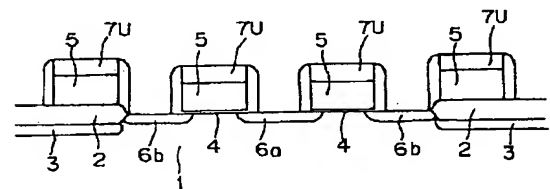
【図 1 1】



(b)



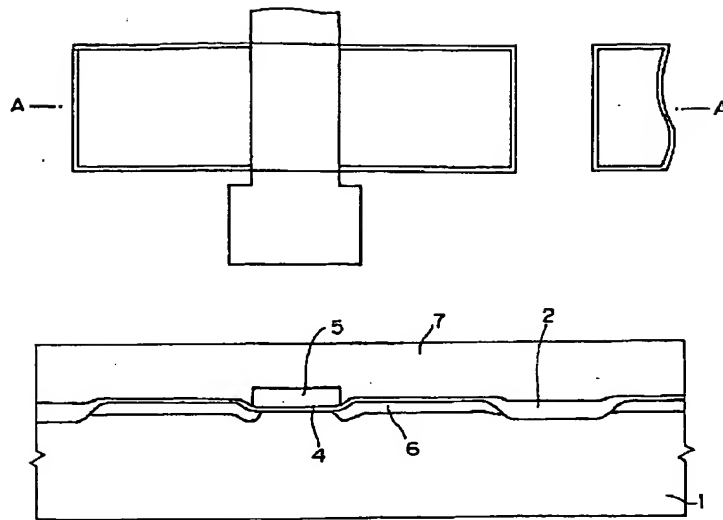
(a)



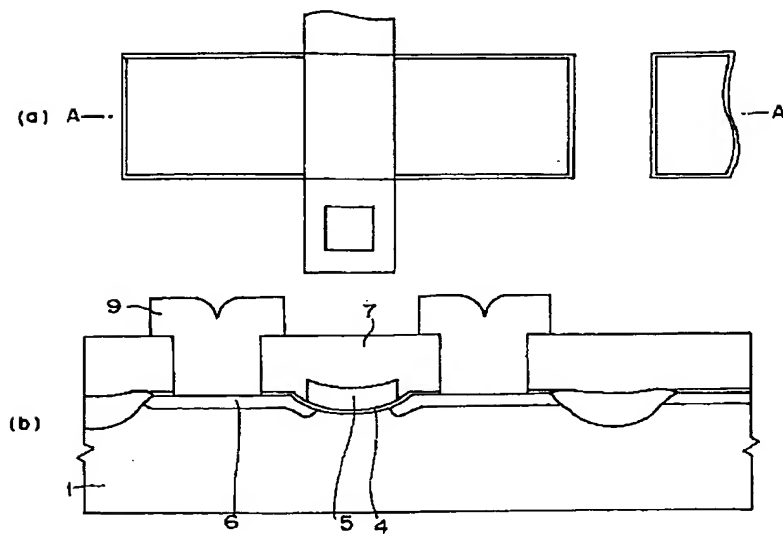
(b)

A cross-sectional view of a semiconductor device. The structure consists of a substrate (4) with a series of layers and features. A layer (5) is formed on the substrate, with a recessed region (R1) on the left and a recessed region (R2) in the center. A layer (7) is formed on top of layer (5), with a recessed region (7U) on the left and a recessed region (7S) on the right. A layer (9) is formed on top of layer (7), with a recessed region (9) in the center. The device is shown in a cross-sectional view, with the layers and features labeled with numbers and letters.

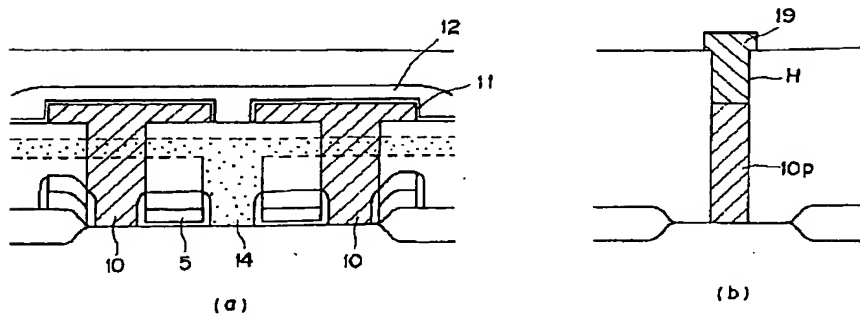
【図5】



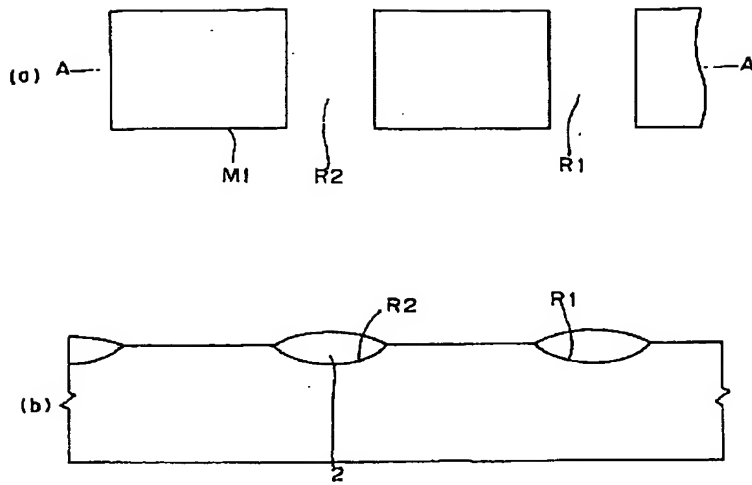
【図6】



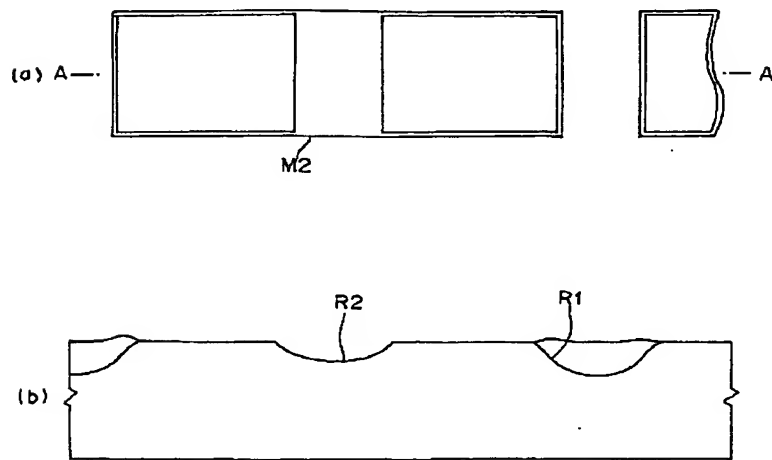
【図26】



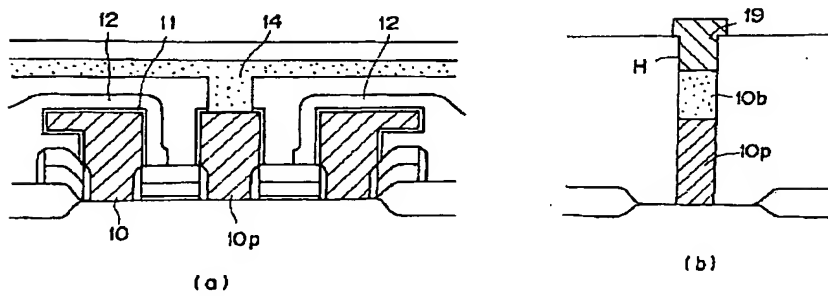
【図7】



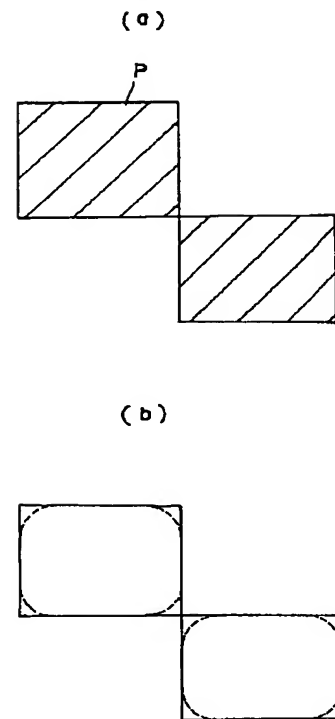
【図8】



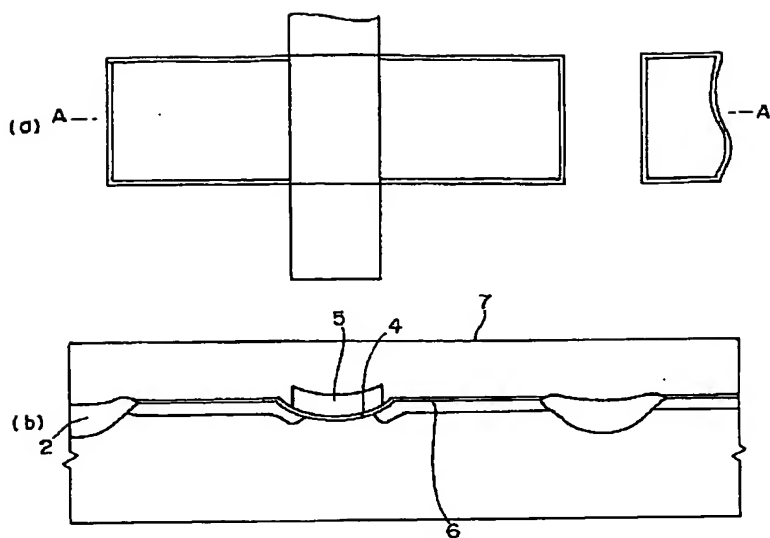
【図27】



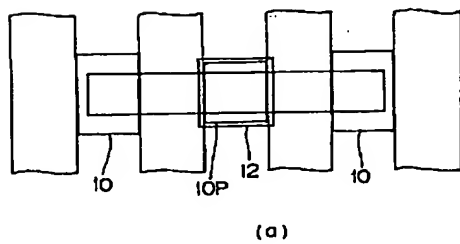
【図30】



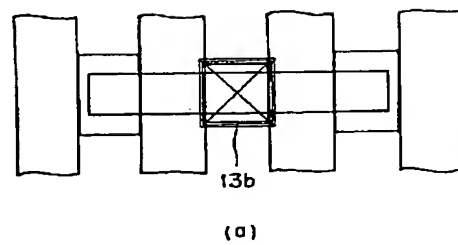
【図9】



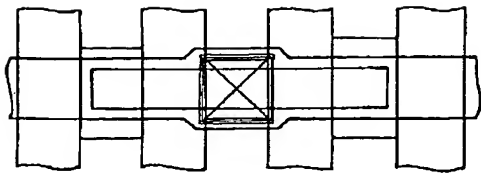
【図13】



【図14】

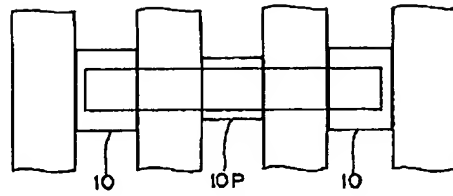


【図15】

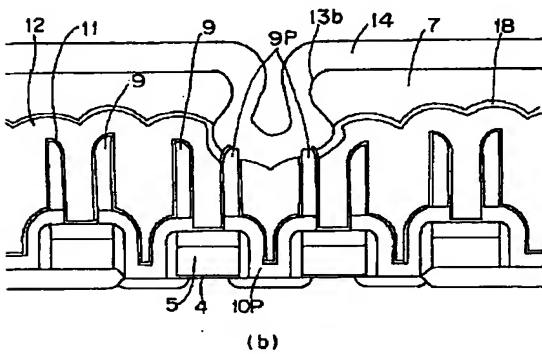


(a)

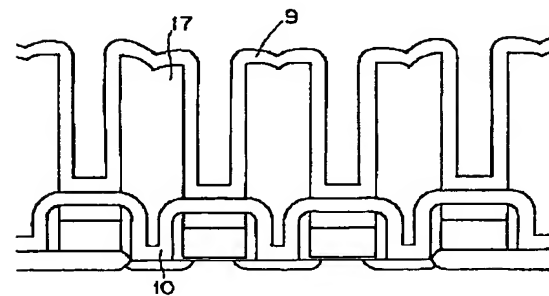
【図16】



(a)

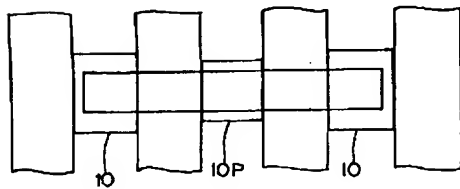


(b)



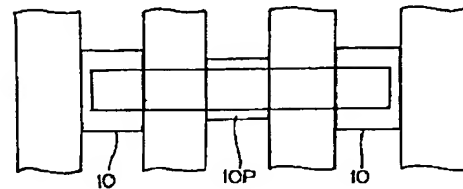
(b)

【図17】

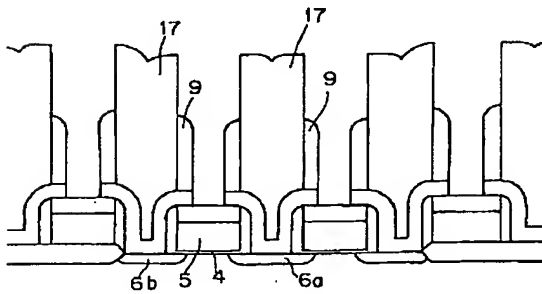


(a)

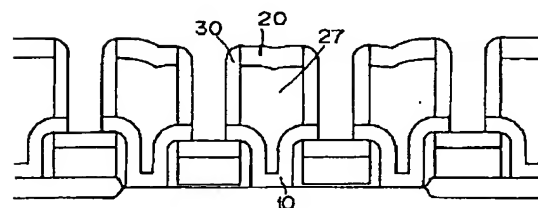
【図21】



(a)

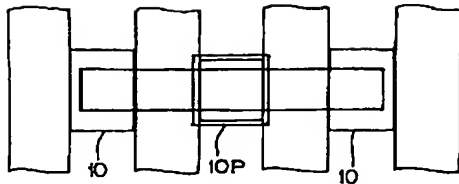


(b)

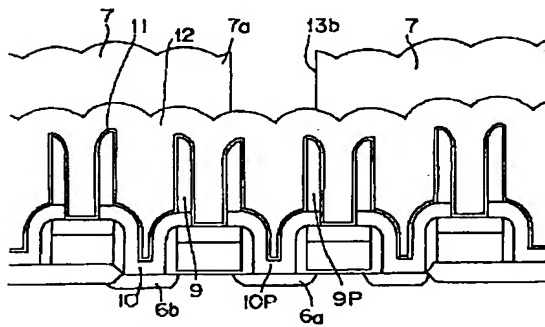


(b)

【図18】

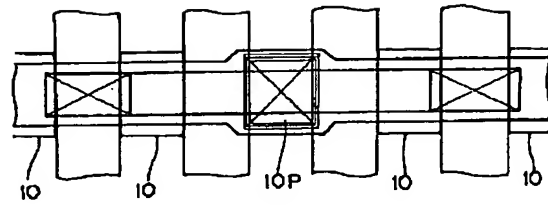


(a)

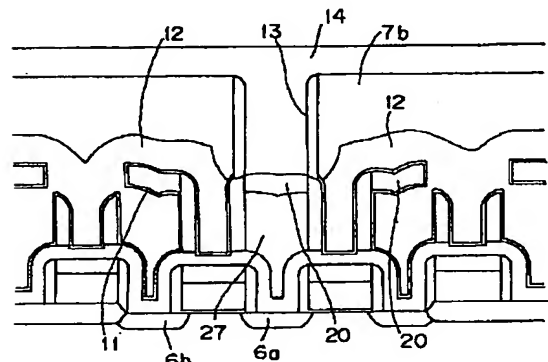


(b)

【図19】

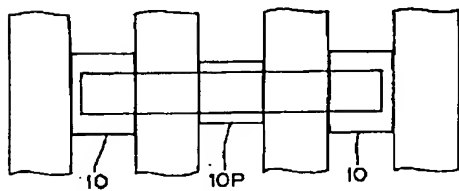


(a)

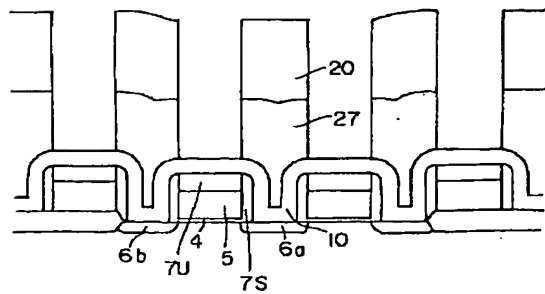


(b)

【図20】

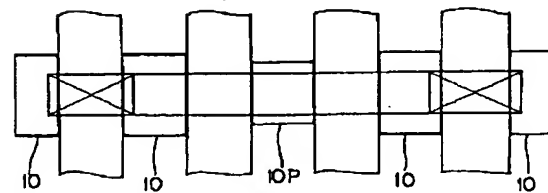


(a)

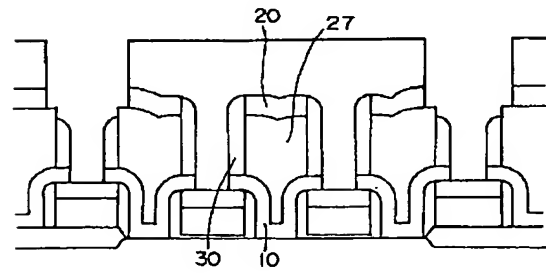


(b)

【図22】

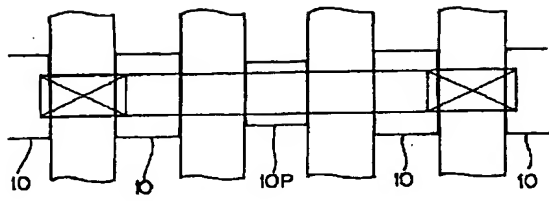


(a)



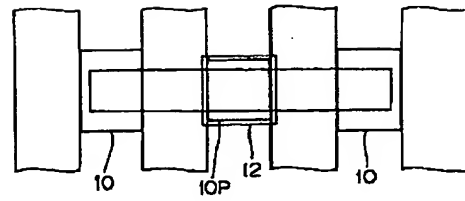
(b)

【図23】

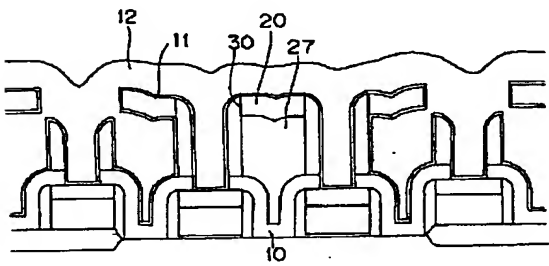


(a)

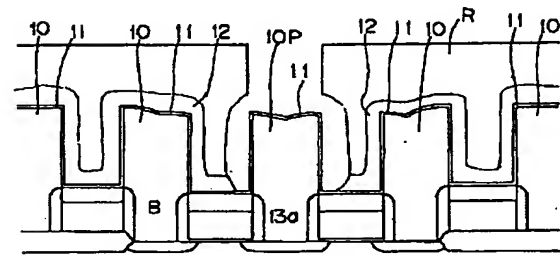
【図24】



(a)

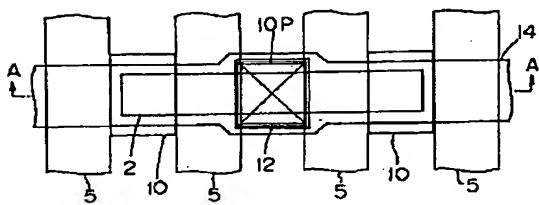


(b)

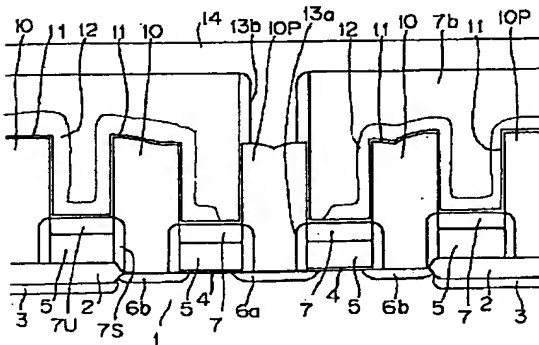


(b)

【図25】



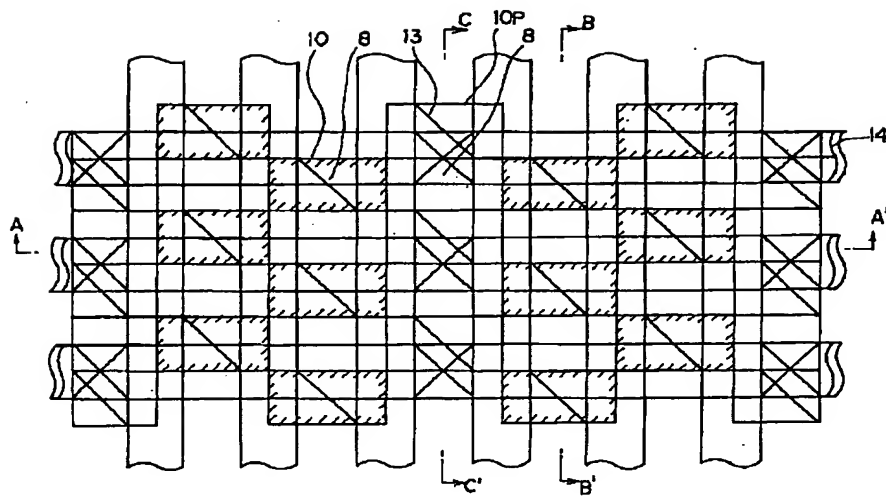
(a)



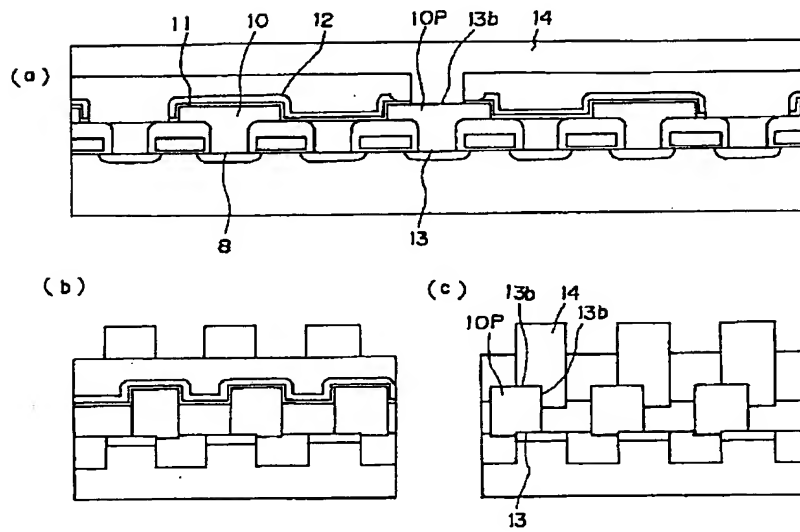
(b)

Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c).
 (a) is a top view showing a series of rectangular blocks (11, 12) arranged in a row. A central channel (13) runs through the middle. Various layers and regions are labeled with numbers: 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.
 (b) is a cross-sectional view showing a central channel (13) and side walls (14). The device is built on a substrate (1). Various layers and regions are labeled with numbers: 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.
 (c) is a cross-sectional view showing a central channel (13) and side walls (14). The device is built on a substrate (1). Various layers and regions are labeled with numbers: 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.

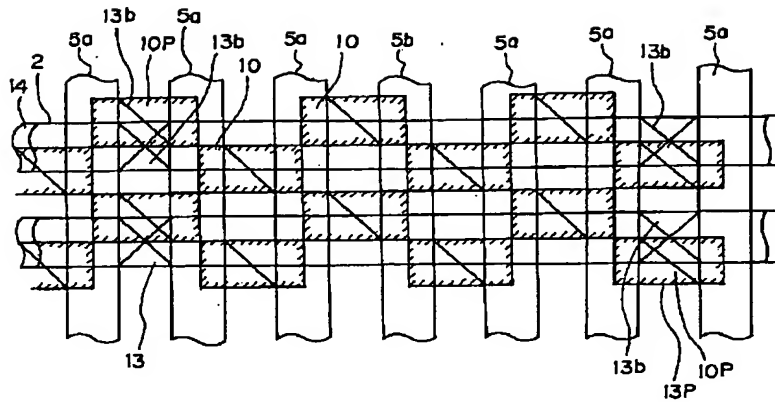
【図31】



【図32】



【図33】



フロントページの続き

(72)発明者 堀口 文男
 神奈川県川崎市幸区小向東芝町 1 株式
 会社東芝総合研究所内

(72)発明者 仁田山 晃寛
 神奈川県川崎市幸区小向東芝町 1 株式
 会社東芝総合研究所内